

Japanese Laid-open Patent Publication

No. 11-288257

Paragraphs [0001] to [0023], Figs. 1-7

[DETAILED DESCRIPTION OF THE INVENTION]

5 [0001]

[Technical Field of the Invention]

The present invention relates to a compression display method and its apparatus for performing pixel number conversion processing using a digital
10 signal processing technique to display an image with higher resolution (for example, 800 x 600 dots) than the number of displayable pixels of an image display device with a predetermined number of display pixels (for example, 640 x 480 dots).

15 [0002]

[Prior Art]

Generally, a plasma display panel (PDP) and a liquid crystal display device (LCD) are display devices that have the fixed number of display pixels
20 such as 640 x 480 dots, 800 x 600 dots, and the like. For example, as illustrated in FIG. 7, there is a in which an image 12 of an image display apparatus 10 with higher resolution having the number of display pixels of 800 x 600 dots than the number of
25 displayable pixels of an image display device 11 is displayed on such image display device 11 with low resolution having the number of display pixels of 640 x 480 dots. In this case, a part of the image

12 will be lost if left unchanged. Such loss of information is a critical defect in a monitor for a computer image and the like.

[0003]

5 Conventionally, in the case where the number of display pixels is different from the number of pixels of display image signals, there are proposed some methods in which the number of pixels in a horizontal direction of the input image signal and
10 the number of pixels in a vertical direction thereof are made to be the same as the number of pixels of the display device to display after performing the calculation of inter-pixels using digital signal processing.

15 [0004]

 An explanation will be given of one example of the conventional apparatus in the case where 800 x 600 dots are compressed to 640 x 480 dots, that is, 4/5 with reference to FIG. 8 and FIG. 9. The
20 conventional apparatus is composed of a vertical processor 15, a horizontal processor 16, and a controller 17. The vertical processor 15 sends an image input signal left inputted from an image input terminal 13 and an image input signal 1H-delayed by
25 a 1H delay circuit 18 composed of line memory and like to an pixel converting circuit 19. Moreover, the horizontal processor 16 sends an image input signal inputted from memory 20 and an image input

signal 1-clock delayed by a 1D delay circuit 23 composed of DDF (D-type flip-flop) and the like to an pixel converting circuit 24.

[0005]

5 Based on count values of a line counter 21 and a dot counter 26, the pixel converting circuit 19 and pixel converting circuit 24 perform calculation between inter-data in such a way to obtain mixing ratios as illustrated in FIG. 8(a), for example,
 10 outputs $\textcircled{1} = \textcircled{1} \times 1$, $\textcircled{2}' = \textcircled{2} \times 3/4 + \textcircled{3} \times 1/4$, $\textcircled{3}' = \textcircled{3} \times 1/2 + \textcircled{4} \times 1/2$, and $\textcircled{4}' = \textcircled{4} \times 1/4 + \textcircled{5} \times 3/4$ are established where inputs are $\textcircled{1}\textcircled{2}\textcircled{3}\textcircled{4}$ and $\textcircled{5}$ on the basis of selection table values (calculation coefficient table values) as illustrated in
 15 conversion tables 22 and 27 (FIG.8(b)). The results are stored in memory 20 and 25, respectively.

[0006]

Memory 20 and 25 are First-In and First-Out
 20 memory. Among data calculated by the pixel converting circuits 19 and 24, pixel data placed at the thinning-out target position is skipped by controlling by a WE signal as illustrated in FIG. 8(b) sent from converting tables 22 and 27. Moreover,
 25 the resultant is controlled by a RE signal as illustrated in FIG. 8(c) sent from an output control circuit 28, $\textcircled{1}$, $\textcircled{2}'$, $\textcircled{3}$, and $\textcircled{4}'$ are continued and repeatedly read to make it possible to implement

processing for converting the number of pixels.

[0007]

[Means for Solving the Problems]

The image conversion processing of the
5 aforementioned convention compression display
method and the apparatus has the advantage in which
no loss of pixels occurs as compared with the case
in which one dot or one line is simply thinned out
to covert the number of pixels but the problem in
10 which calculation processing is provided to the
original input signal, causing a reduction in
resolution.

[0008]

It is an object of the present invention is to
15 obtain one, which generates no loss of pixels and
which has a circuit scale as small as possible
without performing calculation of inter-data.

[0009]

The present invention relates to the
20 compression display method for providing pixel
number conversion processing to m/n ($m-1=n$) to image
having resolution higher than the number of
displayable pixels to be displayed, the compression
display method comprising the steps of setting one
25 dot every n dots in a horizontal direction one line
every n lines in a vertical direction from digital
pixel signals as a thinning-out target position,
changing first to n th thinning-out target positions

every at least two or more fields sequentially to be thinned out using a writing signal and to write other pixel signals to memory, and continuously reading the pixel signals written in the memory using a reading control signal, whereby performing conversion processing for the number of pixels.

[0010]

An output value from a dot counter 40 is sent to a selector 47 via a decode circuit 45 and one dot per n dots is sequentially moved every one field using an output from a field counter 42, so that the thinning-out position is selected. Similarly, an output value from a line counter 41 is sent to a selector 48 via a decode output and one line per n lines is sequentially moved every one field using an output from the field counter 42, so that the thinning-out position is selected. Using the outputs of these selectors 47 and 48, the WE signal for data writing and thinning-out is outputted to a writing signal output terminal 50 via an OR circuit 49.

[0011]

During the time when the WE signal is High, line data is not written to memory 33 and the other data is continuously read, and data is outputted. The same is applied to the horizontal case. In this case, the present invention can implement pixel conversion by controlling only data writing to the

memory 33 without providing the data calculating section unlike the prior art.

[0012]

[Embodiments of the Invention]

5 First embodiment (FIG. 1, FIG. 2 and FIG. 3)

In FIG. 1, an image signal input terminal 30 is coupled to the memory 33 such First-In, First-Out via an A/D converting circuit 32, and is connected to an image signal output terminal from this memory
10 33.

[0013]

A control circuit 34 is composed of a synchronous signal generating circuit 37 for generating a synchronous signal concurrently with
15 time-axial conversion made by pixel number conversion processing, a writing control circuit 38 for generating a WE signal to use in writing data to the memory 33 and to control the thinning-out, and a reading control circuit 39 for generating a
20 read enable (RE) signal to read data written to the memory 33 continuously. In the case where an image with 800 x 600 dots is converted to an image with 640 x 480 dots, namely, the vertical and horizontal directions are compressed to 4/5, the reading
25 control circuit 39 changes the cycles of the vertical and horizontal synchronous signals (frequencies) to 4/5 similarly.

[0014]

A synchronous signal input terminal 35 to which a horizontal synchronous signal (HD) and a vertical synchronous signal (VD) are inputted is coupled to an input side of the synchronous signal generating circuit 37. An HD/VD synchronous signal output terminal 36 is coupled to an output side of the synchronous signal generating circuit 37. Also, the writing control circuit 38 and the reading control circuit 39 are coupled to the memory 33. Data writing and thinning-out control is performed using the WE signal from the writing control circuit 38 and control for reading is performed using the RE signal from the reading control circuit 39.

[0015]

Circuits of the writing control circuit 38 are more specifically illustrated in FIG. 2. In FIG. 2, reference numeral 40 is a dot counter that counts the number of dots, 41: a line counter that counts the number of lines, 42: a field counter that counts the number of fields, 45: a decode circuit that decodes an output value of the dot counter 40, 46: a decode circuit that decodes an output value of the line counter 41, 47: a 5-1 selector that sequentially selects one dot from 5 dots relating to the output of the decode circuit 45 using the output of the field counter 42, 48: a 5-1 selector that sequentially selects one line from 5 lines relating to the output of the decode circuit 46 using

the output of the field counter 42, and 49: a two-input OR circuit that ORs the outputs of selectors 47 and 48. Moreover, 43 and 44 denote inverters, and 50 denotes a writing signal output terminal.

[0016]

An explanation will be given of the operation by the above structure. The VD signal illustrated in FIG. 3(a) is sent to the line counter 41 and sent to the field counter 42 via the inverter 44. The HD signal illustrated in FIG. 3(b) is sent to the dot counter 40 and sent to the line counter 41 via the inverter 43.

[0017]

The output value from the dot counter 40 is decoded by the decoder circuit 45, and the decoded output is sent to the selector 47. The selector 47 sequentially selects the dot to be used for thinning-out as in first, second, ..., from each output having first to fifth dots as one unit on a bit-by-bit basis using a select signal for each field from the field counter 42. Similarly, the output value from the line counter 41 is decoded by the decoder circuit 46, and the decoded output is sent to the selector 48. The selector 48 sequentially selects the line to be used for thinning-out as in first, second, ..., from each output having first to fifth lines as one unit on

a line-by-line basis using a select signal for each field from the field counter 42. Using the dot output of the selector 47 and the line output of the selector 48, the WE signal for data writing and thinning-out is outputted to the writing signal output terminal 50 via the OR circuit 49 as illustrated in FIG. 3(c).

[0018]

During the time when the WE signal is High, line data is not written to memory 33 and the other data is continuously read, and data is outputted as illustrated in FIG. 3(d). The same is applied to the horizontal case. In this case, the present invention can implement pixel conversion by controlling only data writing and reading to the memory 33 without providing the data calculating section unlike the prior art. Additionally, in the case of the compression to 4/5, it is needed that reading should be delayed 1 line \times 1/5 (120 dots) and more in the horizontal direction in such a way that reading does not pass writing.

[0019]

The display example compressed using the aforementioned output data is illustrated in FIG. 3 (e). Namely, in a field 1, the respective dot portions 1, 6, 10, ... illustrated by oblique lines and the respective line portions 1, 6, 10 ... are reduced, so that they are compressed to the state

in which no oblique line is provided. In a field 2, the respective dot portions 2, 7, 11,... illustrated by oblique lines and the respective line portions 2, 7, 11,... are reduced, so that they are compressed to the state in which no oblique line is provided. Regarding a field 3 and the afterward, reduction is sequentially performed for each field in the same way.

[0020]

10 In this way, when 4 dots are generated from 5 dots, 4 dots display an inputted image signal directly and the reduction position of only one dot is changed every one field and displayed. The reason why the reduction position is changed every one field is that the line in the vertical direction is displayed as a straight line if the reduction position is changed every line in the horizontal direction.

[0021]

20 In the embodiment illustrated in FIG. 2, though the dot reduction position in the horizontal direction and the line reduction position in the vertical direction are changed every one field, this invention is not limited to this. The signal for reduction from the field counter 42 in FIG. 4 is changed, whereby the dot reduction position in the horizontal direction is changed every one field or plurality of fields and the line reduction position

in the vertical direction is changed every one field or plurality of fields, thus the number of fields of both to be reduced may be changed.

[0022]

5 FIG. 5 illustrates other embodiment of this invention. In the aforementioned embodiment illustrated in FIG. 2 and FIG. 4, 5 dots in the horizontal direction and 5 lines in the vertical direction were set as one unit by the decode circuits
10 45 and 46, and processing in which first, second, third, fourth, and fifth were reduced in order, and the processing returned to the first. For this reason, the image shakes in unit of 5 dots x 5 lines. Hence, in the embodiment illustrated in FIG. 5,
15 among the unit of 5 dots x 5 lines, 2 dots adjacent to each other and 2 lines adjacent to each other are alternately reduced and other three dots and three lines are fixed.

[0023]

20 More specifically, by the decode circuits 45 and 46, 5 dots in the horizontal direction and 5 lines in the vertical direction are set as one unit, and the first, second, third are fixed, and the fourth and fifth are alternately reduced every one
25 field. The operation explanatory view of pixel conversion at this time is illustrated in FIG. 6 (a), (b), (c), (d), and (e). In this case, the fourth and fifth are paired and alternately reduced. However,

the first and second, the second and third or the third and fourth may be paired and processed.

FIG. 1

30 IMAGE INPUT
32 A/D CONVERTING CIRCUIT
33 MEMORY
5 31 IMAGE OUTPUT
35 SYNCHRONOUS SIGNAL
34 CONTROL CIRCUIT
38 WRITING CONTROL CIRCUIT
39 READING CONTROL CIRCUIT
10 37 SYNCHRONOUS SIGNAL GENERATING CIRCUIT
36 SYNCHRONOUS SIGNAL

FIG. 2

37 SYNCHRONOUS SIGNAL GENERATING CIRCUIT
15 38 WRITING CONTROL CIRCUIT
40 DOT COUNTER
41 LINE COUNTER
42 FIELD COUNTER
45 DECODE CIRCUIT
20 46 DECODE CIRCUIT
47 SELECTOR
48 SELECTOR
RESET

25 FIG. 3

(a) FIELD 1 (LINE 1), FIELD 2 (LINE 2), FIELD 3 (LINE 3), FIELD 4 (LINE 4), FIELD 5 (LINE 5), FIELD 6 (LINE 6), FIELD 7 (LINE 7)

(d) OUTPUT DATA

(e) FIELD 1, FIELD 2, FIELD 3

FIG. 4

5 37 SYNCHRONOUS SIGNAL GENERATING CIRCUIT
38 WRITING CONTROL CIRCUIT
40 DOT COUNTER
41 LINE COUNTER
42 FIELD COUNTER
10 45 DECODE CIRCUIT
46 DECODE CIRCUIT
47 SELECTOR
48 SELECTOR
RESET

15

FIG. 5

37 SYNCHRONOUS SIGNAL GENERATING CIRCUIT
38 WRITING CONTROL CIRCUIT
40 DOT COUNTER
20 41 LINE COUNTER
42 FIELD COUNTER
45 DECODE CIRCUIT
46 DECODE CIRCUIT
47 SELECTOR
25 48 SELECTOR
RESET

FIG. 6

(a) FIELD 1 (LINE 1), FIELD 2 (LINE 2), FIELD 3 (LINE 3), FIELD 4 (LINE 4), FIELD 5 (LINE 5), FIELD 6 (LINE 6), FIELD 7 (LINE 7)

(d) OUTPUT DATA

5 (e) FIELDS 1, 2, 3, ... FIELDS 2,4,6 ...

FIG. 7

(800 X 600 DOTS)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-288257

(43) 公開日 平成11年(1999)10月19日

(51) Int.Cl.⁸

G 0 9 G 5/00

G 0 6 T 3/40

G 0 9 G 3/20

識別記号

5 2 0

5 5 0

6 3 2

6 5 0

F I

G 0 9 G 5/00

3/20

5 2 0 V

5 5 0 H

6 3 2 C

6 5 0 C

6 6 0 C

審査請求 未請求 請求項の数 7 F D (全 8 頁) 最終頁に続く

(21) 出願番号

特願平10-105397

(22) 出願日

平成10年(1998) 3 月31日

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 鈴木 進

神奈川県川崎市高津区末長1116番地 株式

会社富士通ゼネラル内

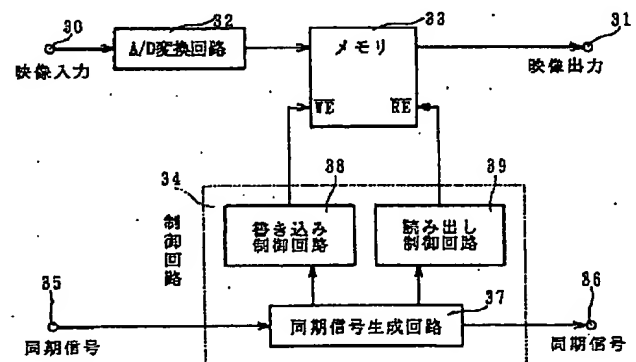
(74) 代理人 弁理士 古澤 俊明 (外 1 名)

(54) 【発明の名称】 圧縮表示方法及びその装置

(57) 【要約】

【目的】 画素の欠落が生ぜず、データ間の演算を行うことなく回路規模も極力小さなものを得ることを目的とする。

【構成】 表示可能な画素数よりも解像度の高い映像を m/n ($m-1=n$) への画素数変換処理を行い表示するための圧縮表示方法において、デジタル画素信号の中から間引き対象位置として水平方向を n ドット毎に 1 ドット、垂直方向を n ライン毎に 1 ラインを設定し、この間引き対象位置を少なくとも 1 フィールド以上毎に 1 番目から n 番目まで順次変更して、書き込み制御信号で間引いてその他の画素信号をメモリに書き込み、このメモリの画素信号を読み出し制御信号で連続的に読み出すことにより、画素数の変換処理を行うようにした方法である。このため、データ演算部を持たずに、メモリへのデータの書き込みの制御だけで画素変換を実現し、また、オリジナルの入力信号に演算処理を施すことがないので、解像度の劣化を防ぐことができる。



【特許請求の範囲】

【請求項1】表示可能な画素数よりも解像度の高い映像を、デジタル信号処理技術を用いて画素数変換処理を行い表示するための圧縮表示方法において、デジタル画素信号の中から間引き対象位置の画素データを書込み制御信号で間引いてその他の画素信号をメモリに書込み、このメモリ内の画素信号を読み出し制御信号で連続的に読み出すことにより、画素数の変換処理を行うようにしたことを特徴とする圧縮表示方法。

【請求項2】表示可能な画素数よりも解像度の高い映像を、デジタル信号処理技術を用いて m/n ($m-1=n$) への画素数変換処理を行い表示するための圧縮表示方法において、デジタル画素信号の中から間引き対象位置として水平方向を n ドット毎に1ドット、垂直方向を n ライン毎に1ラインを設定し、この間引き対象位置を少なくとも1フィールド以上毎に1番目から n 番目まで順次変更して、書込み制御信号で間引いてその他の画素信号をメモリに書込み、このメモリの画素信号を読み出し制御信号で連続的に読み出すことにより、画素数の変換処理を行うようにしたことを特徴とする圧縮表示方法。

【請求項3】表示可能な画素数よりも解像度の高い映像を、デジタル信号処理技術を用いて m/n ($m-1=n$) への画素数変換処理を行い表示するための圧縮表示方法において、デジタル画素信号の中から間引き対象位置として水平方向を n ドット毎に1ドット、垂直方向を n ライン毎に1ラインを設定し、この間引き対象位置を少なくとも1フィールド以上毎に互いに隣合う2ドットのみを交互に変更して、書込み制御信号で間引いてその他の画素信号をメモリに書込み、このメモリの画素信号を読み出し制御信号で連続的に読み出すことにより、画素数の変換処理を行うようにしたことを特徴とする圧縮表示方法。

【請求項4】表示可能な画素数よりも解像度の高い映像を、デジタル信号処理技術を用いて画素数変換処理を行い表示するための圧縮表示装置において、デジタル画素信号を記憶するメモリ33と、このメモリ33へのデジタル画素信号の書込みと読み出しとを制御する制御回路34とを具備し、この制御回路34は、画素数変換処理で行った時間軸変換に併せて同期信号を作り出す同期信号生成回路37と、この同期信号生成回路37の同期信号に基づき前記メモリ33へのデータの書込みと間引きの制御を行う書込み制御回路38と、前記同期信号生成回路37の同期信号に基づき前記メモリ33へ書き込んだデータを連続的に読み出すための読み出し制御信号を生成する読み出し制御回路39とからなることを特徴とする圧縮表示装置。

【請求項5】表示可能な画素数よりも解像度の高い映像を、デジタル信号処理技術を用いて画素数変換処理を行い表示するための圧縮表示装置において、デジタル

画素信号を記憶するメモリ33と、このメモリ33へのデジタル画素信号の書込みと読み出しとを制御する制御回路34とを具備し、この制御回路34は、画素数変換処理で行った時間軸変換に併せて同期信号を作り出す同期信号生成回路37と、この同期信号生成回路37の同期信号に基づき前記メモリ33へのデータの書込みと間引きの制御を行う書込み制御回路38と、前記同期信号生成回路37の同期信号に基づき前記メモリ33へ書き込んだデータを連続的に読み出すための読み出し制御信号を生成する読み出し制御回路39とからなり、前記書込み制御回路38は、同期信号生成回路37からの水平同期信号に基づきドット数を数えるドットカウンタ40と、前記同期信号生成回路37からの水平及び垂直同期信号に基づきライン数を数えるラインカウンタ41と、前記同期信号生成回路37からの垂直同期信号に基づきフィールド数を数えるフィールドカウンタ42と、水平方向の間引き対象位置を順次変更するために前記ドットカウンタ40の出力値をデコードするデコード回路45と、垂直方向の間引き対象位置を順次変更するために前記ラインカウンタ41の出力値をデコードするデコード回路46と、前記デコード回路45の出力から前記フィールドカウンタ42の出力で水平方向の間引き対象位置を選択するセレクト47と、前記デコード回路46の出力から前記フィールドカウンタ42の出力で垂直方向の間引き対象位置を選択するセレクト48と、これらセレクト47とセレクト48の出力の論理和を取る2入力のオア回路49とからなることを特徴とする圧縮表示装置。

【請求項6】表示可能な画素数よりも解像度の高い映像を、デジタル信号処理技術を用いて m/n ($m-1=n$) への画素数変換処理を行い表示するための圧縮表示装置において、セレクト47とセレクト48は、間引き対象位置を1フィールド毎に1番目から n 番目まで順次変更するように選択してなることを特徴とする請求項5記載の圧縮表示装置。

【請求項7】表示可能な画素数よりも解像度の高い映像を、デジタル信号処理技術を用いて m/n ($m-1=n$) への画素数変換処理を行い表示するための圧縮表示装置において、セレクト47とセレクト48は、間引き対象位置を1フィールド毎に互いに隣合う2ドットのみを交互に変更するように選択してなることを特徴とする請求項5記載の圧縮表示装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、ある定められた表示画素数（例えば 640×480 ドット）を持つ映像表示装置に、この装置の表示可能な画素数よりも解像度の高い（例えば 800×600 ドット）映像を、デジタル信号処理技術を用いて画素数変換処理を行い表示するための圧縮表示方法及びその装置に関するものである。

【0002】

【従来の技術】一般に、プラズマディスプレイパネル（PDP）や液晶表示装置（LCD）は、表示画素数が例えば 640×480 ドット、 800×600 ドットなどのように固定された表示デバイスである。例えば、図7に示すように、表示画素数が 640×480 ドットの解像度の低い映像表示装置11に、この映像表示装置11の表示可能な画素数よりも解像度の高い 800×600 ドットの映像表示装置10の映像12を表示する場合、このままでは、映像12の一部に欠落が生じてしまう。このような情報の欠落は、コンピュータ画像などのモニターでは、致命的な欠陥である。

【0003】従来より、表示画素数と表示映像信号の画素数が異なる場合、入力映像信号の水平及び垂直方向の画素数をデジタル信号処理を用いて画素間の演算を行い、表示装置の画素数と同一にしてから表示する方法がいくつか提案されている。

【0004】 800×600 ドットを 640×480 ドットに、すなわち、 $4/5$ に圧縮する場合の従来装置の一例を図8及び図9により説明する。この従来装置は、垂直処理部15、水平処理部16及び制御部17からなる。前記垂直処理部15は、映像入力端子13から入力したままの映像入力信号とラインメモリなどからなる1H遅延回路18で1H遅延した映像入力信号とを画素変換回路19に送る。また、前記水平処理部16は、メモリ20から入力した映像入力信号とDFF（Dタイプのフリップフロップ）などからなる1D遅延回路23で1クロック遅延した映像入力信号とを画素変換回路24に送る。

【0005】前記画素変換回路19と画素変換回路24は、ラインカウンタ21とドットカウンタ26のカウント値をもとに、それぞれ選択された変換テーブル22、27の図8（b）に示すような選択テーブル値（演算係数テーブル値）に基づき、図8（a）に示すような混合比、例えば、入力が①、②、③、④、⑤とすると、出力が① $=$ ① \times 1、② $'$ $=$ ② \times 3/4+③ \times 1/4、③ $'$ $=$ ③ \times 1/2+④ \times 1/2、④ $'$ $=$ ④ \times 1/4+⑤ \times 3/4となるようなデータ間の演算が行われ、それぞれメモリ20、25に記憶される。

【0006】メモリ20、25は、先出し（First-In）、先読み（First-Out）メモリからなり、画素変換回路19、24で演算したデータのうち、変換テーブル22、27からの図8（b）に示すようなWE信号で制御して間引き対象位置の画素データを書き飛ばし、さらに出力制御回路28からの図8（c）に示すようなRE信号で制御して①、② $'$ 、③ $'$ 、④ $'$ を連続し、かつ繰り返して読み出すことにより、画素数の変換処理を実現しようとするものである。

【0007】

【発明が解決しようとする課題】以上のような従来の圧

縮表示方法及びその装置による画像変換処理は、単純に1ドット又は1ラインを間引いて画素数変換をするのに比較して、画素の欠落が生じないという利点はあるが、オリジナルの入力信号に演算処理を施してしまうので、解像度が低下するという問題があった。

【0008】本発明は、画素の欠落が生ぜず、データ間の演算を行うことなく回路規模も極力小さなものを得ることを目的とするものである。

【0009】

【課題を解決するための手段】本発明は、表示可能な画素数よりも解像度の高い映像を、デジタル信号処理技術を用いて m/n （ $m-1=n$ ）への画素数変換処理を行い表示するための圧縮表示方法において、デジタル画素信号の中から間引き対象位置として水平方向を n ドット毎に1ドット、垂直方向を n ライン毎に1ラインを設定し、この間引き対象位置を少なくとも1フィールド以上毎に1番目から n 番目まで順次変更して、書込み信号で間引いてその他の画素信号をメモリに書込み、このメモリの画素信号を読み出し制御信号で連続的に読み出すことにより、画素数の変換処理を行うようにしたことを特徴とする圧縮表示方法である。

【0010】ドットカウンタ40からの出力値は、デコード回路45を介してセレクト47に送られ、フィールドカウンタ42からの出力で n ドットにつき1ドットが1フィールド毎に順次移動して間引き位置が選択される。同様に、ラインカウンタ41からの出力値は、デコード出力を介してセレクト48に送られ、フィールドカウンタ42からの出力で n ラインにつき1ラインが1フィールド毎に移動して間引き位置が選択される。これらセレクト47とセレクト48の出力は、オア回路49を経て書込み信号出力端子50に、データの書込みと間引きのWE信号が出力する。

【0011】このWE信号がHigh期間、ラインデータは、メモリ33に書き込まれず、その他のデータは、連続的に読み出され、データが出力される。水平についても同様に行われる。この場合において、本発明は、従来のようなデータ演算部を持たずに、メモリ33へのデータの書込みの制御だけで画素変換を実現している。

【0012】

【発明の実施の形態】第1実施例（図1、図2及び図3）

図1において、映像信号入力端子30は、A/D変換回路32を介して、先出し（First-In）、先読み（First-Out）などのメモリ33に結合され、このメモリ33から映像信号出力端子31に接続されている。

【0013】制御回路34は、画素数変換処理で行った時間軸変換に併せて同期信号を作り出す同期信号生成回路37、メモリ33へのデータの書込みと間引きの制御を行うWE信号を生成する書込み制御回路38及びメモ

リ33へ書き込んだデータを連続的に読み出すためにリードインネブル(RE)信号を生成する読み出し制御回路39からなる。この読み出し制御回路39は、例えば、800×600ドットの画像を640×480ドットの画像に変換した場合、すなわち、垂直及び水平方向に4/5に圧縮した場合、垂直及び水平同期信号の周期(周波数)を同じく4/5にする。

【0014】前記同期信号生成回路37の入力側には、水平同期信号(HD)と垂直同期信号(VD)の入力する同期信号入力端子35が結合され、同期信号生成回路37の出力側には、HD/VDの同期信号出力端子36が結合されている。また、前記メモリ33には、書き込み制御回路38と読み出し制御回路39が結合され、書き込み制御回路38のWE信号でデータの書き込みと間引きの制御を行い、読み出し制御回路39のRE信号で読み出すための制御が行われる。

【0015】前記書き込み制御回路38のさらに詳細な回路が図2に示される。この図2において、40は、ドット数を数えるドットカウンタ、41は、ライン数を数えるラインカウンタ、42は、フィールド数を数えるフィールドカウンタ、45は、ドットカウンタ40の出力値をデコードするデコード回路、46は、ラインカウンタ41の出力値をデコードするデコード回路、47は、デコード回路45の出力をフィールドカウンタ42の出力で5ドットから1ドットを順次選択する5-1のセレクトタ、48は、デコード回路46の出力をフィールドカウンタ42の出力で5ラインから1ラインを順次選択する5-1のセレクトタ、49は、セレクトタ47とセレクトタ48の出力の論理和を取る2入力のアンド回路である。また、43、44は、それぞれインバータで、50は、書き込み信号出力端子である。

【0016】以上のような構成による作用を説明する。同期信号生成回路37から出力した図3(a)に示すVD信号は、ラインカウンタ41に送られるとともに、インバータ44を介してフィールドカウンタ42に送られ、また、同期信号生成回路37から出力した図3(b)に示すHD信号は、ドットカウンタ40に送られるとともに、インバータ43を介してラインカウンタ41に送られる。

【0017】ドットカウンタ40からの出力値は、デコード回路45でデコードされ、このデコード出力は、セレクトタ47に送られる。このセレクトタ47では、フィールドカウンタ42からの1フィールド毎のセレクト信号により1~5番目までのドットを1単位とする各出力から1番目、2番目、…のように間引き用として1ドットずつ順次選択される。同様に、ラインカウンタ41からの出力値は、デコード回路46でデコードされ、このデコード出力は、セレクトタ48に送られる。このセレクトタ48では、フィールドカウンタ42からの1フィールド毎のセレクト信号により1~5番目までの1ラインを1

単位とする各出力から1番目、2番目、…のように間引き用として1ラインずつ順次選択される。これらセレクトタ47のドット出力とセレクトタ48のライン出力は、オア回路49を経て書き込み信号出力端子50に、図3

(c)のようなデータの書き込みと間引きのWE信号が出力する。

【0018】このWE信号がHigh期間、ラインデータは、メモリ33に書き込まれず、その他のデータは、連続的に読み出され、図3(d)のようにデータが出力される。水平についても同様に行われる。この場合において、本発明では、従来のようなデータ演算部を持たずに、メモリ33へのデータの書き込みと読み出しの制御だけで画素変換を実現している。なお、4/5に圧縮する場合、書き込みに対して読み出しが追い越すことがないように、読み出しは、書き込みよりも水平方向で1ライン×1/5(120ドット)以上遅らせることが必要である。

【0019】以上のような出力データにより圧縮した表示例が図3(e)に示される。すなわち、フィールド1では、斜線で示した1、6、10、…の各ドット部分と、1、6、10、…の各ライン部分が間引かれ、この斜線部分のない状態に圧縮される。フィールド2では、斜線で示した2、7、11、…の各ドット部分と、2、7、11、…の各ライン部分が間引かれ、この斜線部分のない状態に圧縮される。フィールド3以降についても同様に順次フィールド毎に間引かれる。

【0020】このようにして、5ドットから4ドットを生成するとき、4ドットは入力された映像信号をそのまま表示し、1ドットのみ1フィールド毎に間引く位置を切り換えて表示する。1フィールド毎に間引く位置を切り換えているのは、もし、水平方向において、ライン毎に間引く位置を変えると、垂直方向の線が直線に表示されないからである。

【0021】前記図2に示す実施例では、水平方向におけるドットの間引く位置と、垂直方向におけるラインの間引く位置とを1フィールド毎に切り換えるようにしたが、この例に限られるものではなく、図4におけるフィールドカウンタ42からの間引きのための信号を変えることにより、水平方向におけるドットの間引く位置を1又は複数フィールド毎とし、垂直方向におけるラインの間引く位置も1又は複数フィールド毎とするなど、両者の間引くフィールド数を変えるようにしてもよい。

【0022】図5は、本発明の他の実施例を示すものである。図2及び図4に示す前記実施例では、デコード回路45、46の設定により、水平方向5ドット、垂直方向5ラインを1単位とし、1番目から順次2番目、3番目、4番目、5番目と間引き、再び1番目に戻るという処理をしていた。そのため、5ドット×5ラインの単位で映像が揺れることになる。そこで、図5に示す実施例では、5ドット×5ラインの単位のうち、互いに隣合う2ドットと2ラインのみ交互に間引き、他の3ドットと

3ラインは固定するようにしたものである。

【0023】具体的には、デコード回路45、46により、水平方向5ドット、垂直方向5ラインを1単位とし、1番目、2番目、3番目は、固定とし、4番目と5番目とを1フィールド毎に交互に間引くようにしたもので、その時の画素変換の動作説明図が図6(a)(b)(c)(d)(e)に示される。この場合、4番目と5番目とを1対として、交互に間引くようにしたが、1番目と2番目、2番目と3番目または3番目と4番目をそれぞれ1対として処理をするようにしてもよい。

【0024】

【発明の効果】本発明の請求項1では、デジタル画素信号の中から間引き対象位置の画素データを書込み制御信号で間引いてその他の画素信号をメモリに書込み、このメモリ内の画素信号を読み出し制御信号で連続的に読み出すようにしたので、画素変換回路などの複雑な演算回路が不要であり、回路が簡素化され、安価に提供できる。

【0025】請求項2では、デジタル画素信号の中から間引き対象位置として水平方向をnドット毎に1ドット、垂直方向をnライン毎に1ラインを設定し、この間引き対象位置を少なくとも1フィールド以上毎に1番目からn番目まで順次変更して、書込み制御信号で間引いてその他の画素信号をメモリに書込み、このメモリの画素信号を読み出し制御信号で連続的に読み出すことにより、画素数の変換処理を行うようにしたので、オリジナルの入力信号に演算処理を施すことがなく、解像度の劣化を防ぐことができる。

【0026】請求項3では、デジタル画素信号の中から間引き対象位置として水平方向をnドット毎に1ドット、垂直方向をnライン毎に1ラインを設定し、この間引き対象位置を少なくとも1フィールド以上毎に互いに隣合う2ドットのみを交互に変更して、書込み制御信号で間引いてその他の画素信号をそのままメモリに書込み、このメモリの画素信号を読み出し制御信号で連続的に読み出すことにより、画素数の変換処理を行うようにしたので、nドット×nラインの単位で映像が揺れるの

を防止することができる。

【図面の簡単な説明】

【図1】本発明による圧縮表示方法及びその装置の第1実施例を示すブロック図である。

【図2】図1における書込み制御回路38の詳細なブロック図である。

【図3】図1における動作波形図と動作説明図である。

【図4】図2の変形例を示すブロック図である。

【図5】本発明による圧縮表示方法及びその装置の第2実施例を示すブロック図である。

【図6】図5における動作波形図と動作説明図である。

【図7】表示可能な画素数よりも解像度の高い映像12を表示する場合に生ずる欠陥の説明図である。

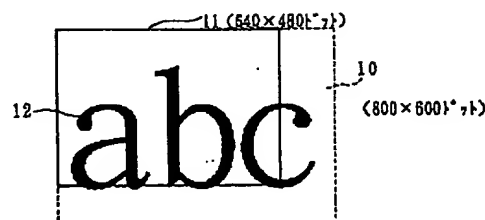
【図8】表示画素数と表示映像信号の画素数が異なる場合の従来の圧縮表示方法及びその装置を説明するための説明図である。

【図9】図8を実現するための従来の圧縮表示方法及びその装置である。

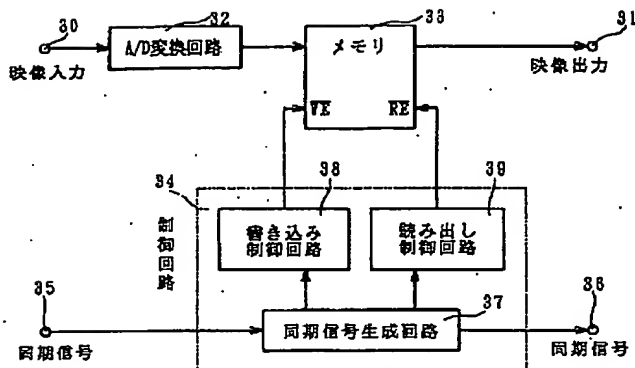
【符号の説明】

10…解像度の高い映像表示装置、11…解像度の低い映像表示装置、12…映像、13…映像入力端子、14…映像出力端子、15…垂直処理部、16…水平処理部、17…制御部、18…1H遅延回路、19…画素変換回路、20…メモリ、21…ラインカウンタ、22…変換テーブル、23…1D遅延回路、24…画素変換回路、25…メモリ、26…ドットカウンタ、27…変換テーブル、28…出力制御回路、30…映像信号入力端子、31…映像信号出力端子、32…A/D変換回路、33…メモリ、34…制御回路、35…同期信号入力端子、36…同期信号出力端子、37…同期信号生成回路、38…書込み制御回路、39…読み出し制御回路、40…ドットカウンタ、41…ラインカウンタ、42…フィールドカウンタ、43…インバータ、44…インバータ、45…デコード回路、46…デコード回路、47…セクタ、48…セクタ、49…オア回路、50…書込み信号出力端子。

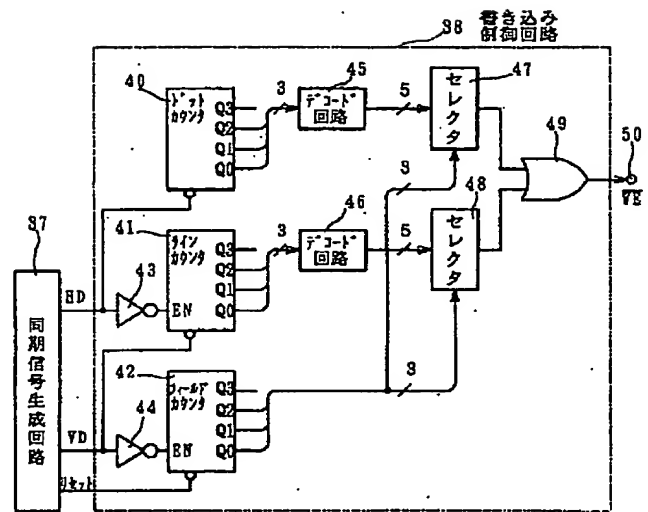
【図7】



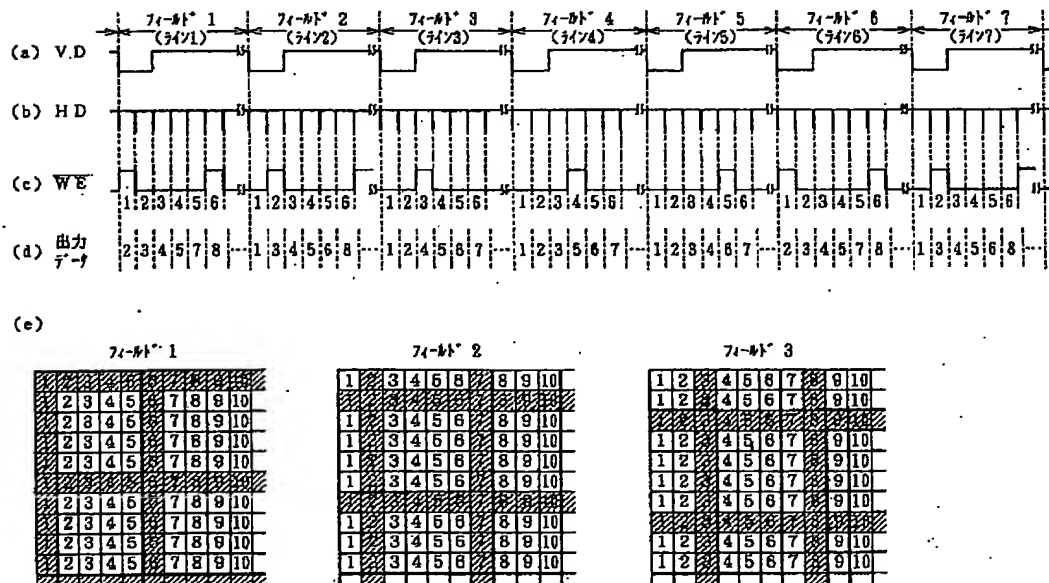
【図1】



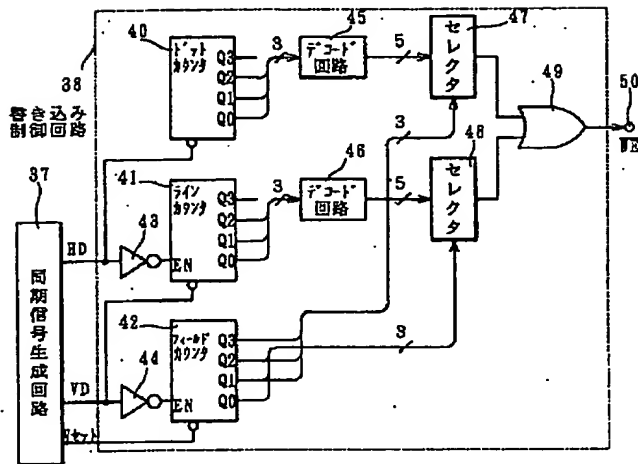
【図2】



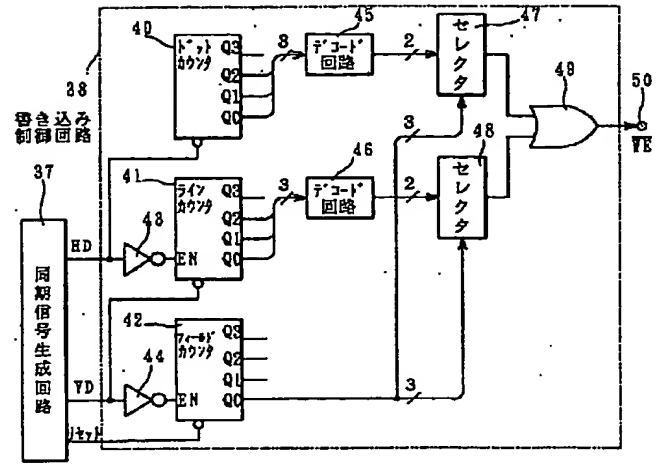
【図3】



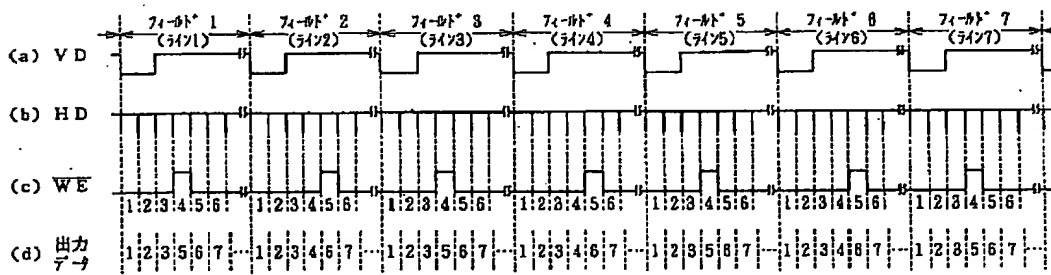
【図 4】



【图5】



【図 6】

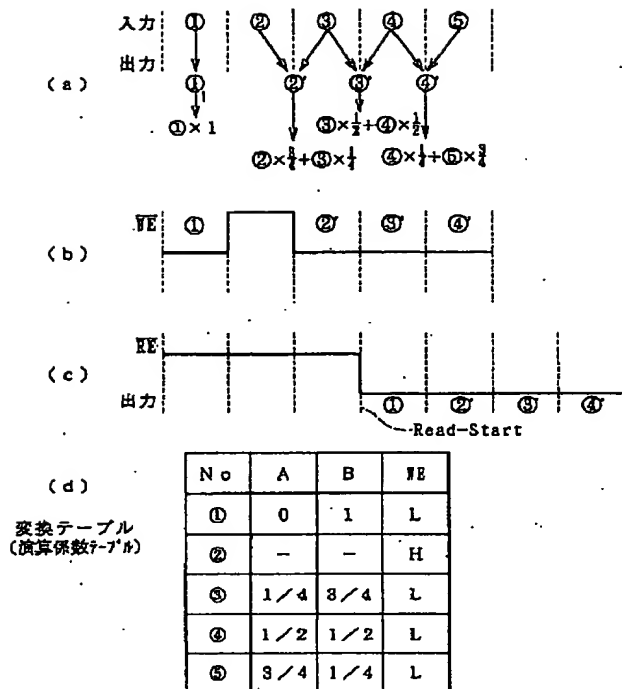


(e) $74 \rightarrow 81$ 1, 2, 5...

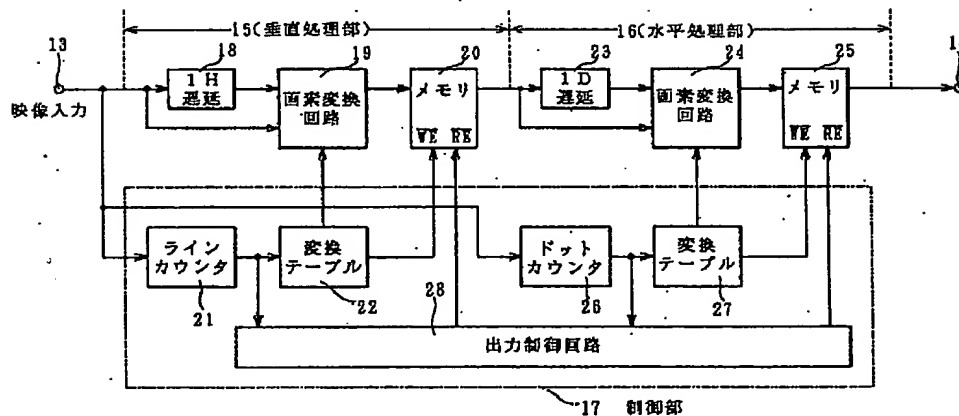
1	2	3	4	5	6	7	8	9	10
1	2	9	4	5	6	7	8	9	10
1	2	8	4	5	6	7	8	9	10
1	2	7	4	5	6	7	8	9	10
1	2	6	4	5	6	7	8	9	10
1	2	5	4	5	6	7	8	9	10
1	2	4	4	5	6	7	8	9	10
1	2	3	4	5	6	7	8	9	10
1	2	3	5	6	7	8	9	10	10
1	2	3	6	6	7	8	9	10	10
1	2	3	7	6	7	8	9	10	10
1	2	3	8	6	7	8	9	10	10
1	2	3	9	6	7	8	9	10	10
1	2	3	4	5	6	7	8	9	10

 $71-N^{\circ} 2, 4, 6, \dots$ [illegible]

【図8】



【図9】



フロントページの続き

(51)Int.Cl.6

G 0 9 G 3/20

3/36

5/18

H 0 4 N 1/387

5/66

識別記号

6 6 0

1 0 1

F I

G 0 9 G 3/36

5/18

H 0 4 N 1/387

5/66

G 0 6 F 15/66

1 0 1

Z

3 5 5 D